

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235778

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H03M 7/30  
G06F 15/66  
H04B 14/06  
H04N 1/41  
H04N 7/137

(21)Application number : 04-034659

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 21.02.1992

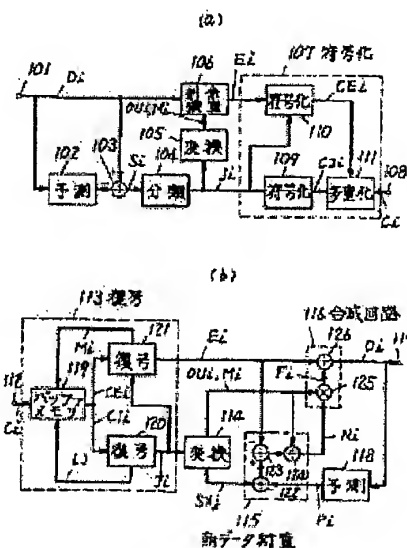
(72)Inventor : KATO SHIRO

## (54) HIGH EFFICIENCY CODING METHOD

## (57)Abstract:

PURPOSE: To reduce deterioration in data due to a transmission error.

CONSTITUTION: Input data  $D_i$  from a terminal 101 are inputted to a prediction circuit 102, a subtractor circuit 103 and a remainder arithmetic operation circuit 106. The prediction circuit 102 outputs one preceding data  $D_{i-1}$ . The subtractor circuit 103 subtracts the prediction data  $D_{i-1}$  from the data  $D_i$  and outputs a prediction error  $S_i$ . A category circuit 104 outputs a category number  $J_i$  according to the prediction error  $S_i$ . A conversion circuit 105 outputs divisor data  $O_{U_i}$  or data  $M_i$  based on the category number  $J_i$ . The remainder arithmetic operation circuit 106 divides the data  $D_i$  by the divisor data  $O_{U_i}$  and outputs the residue  $E_i$ . A coding circuit 109 codes the category number  $J_i$ , the coding circuit 110 obtains the bit number  $M_i$  of the residue data  $E_i$  based on the category number  $J_i$  and outputs a low-order  $M_i$ -bit of the residue data  $E_i$  in a bit serial form and multiplexes the bits onto the coded data and outputs the result from a terminal 108.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-235778

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 M 7/30		8836-5 J		
G 0 6 F 15/66	3 3 0 D	8420-5 L		
H 0 4 B 14/06		D 4101-5 K		
H 0 4 N 1/41		B 8839-5 C		
7/137		Z 4228-5 C		

審査請求 未請求 請求項の数3(全 9 頁)

(21)出願番号 特願平4-34659

(22)出願日 平成4年(1992)2月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 加藤 士郎

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

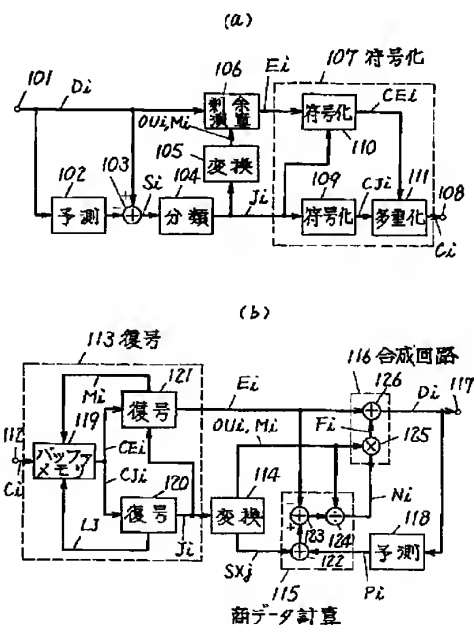
(74)代理人 弁理士 小銀治 明 (外2名)

(54)【発明の名称】 高能率符号化方法

(57)【要約】

【目的】 伝送誤りによるデータの劣化を小さくする。

【構成】 端子101からの入力データ $D_i$ は予測回路102、減算回路103、剰余演算回路106に入力される。予測回路102は1つ前のデータ $D_{i-1}$ を出力する。減算回路103はデータ $D_i$ より予測値 $D_{i-1}$ を減算して予測誤差 $S_i$ を出力する。分類回路104は予測誤差 $S_i$ に従ってカテゴリ番号 $J_i$ を出力する。変換回路105はカテゴリ番号 $J_i$ より除数データ $O U_i$ またはデータ $M_i$ を出力する。剰余演算回路106はデータ $D_i$ を除数データ $O U_i$ で除算しその剰余 $E_i$ を出力する。符号化回路109はカテゴリ番号 $J_i$ を符号化し、符号化回路110はカテゴリ番号 $J_i$ により剰余データ $E_i$ のビット数 $M_i$ を求め、前記剰余データ $E_i$ の下位 $M_i$ ビットをビットシリアル形式で出力して前記符号化データに多重して端子118より出力する。



## 【特許請求の範囲】

【請求項1】 標本化量子化された信号を入力データとし、前記入力データの予測値を得、前記入力データと前記予測値との差である予測誤差を求める第1のステップと、前記予測誤差をその大きさに応じて分類し該当するカテゴリを表わすカテゴリ番号を出力する第2のステップと、前記該当するカテゴリの範囲を規定する所定の上限値と所定の下限値との差より大なる所定値を除数として前記入力データを除算して剰余を得る第3のステップと、前記カテゴリ番号と前記剰余とを符号化して出力する第4のステップとを備え、前記第4のステップが、前記予測誤差の最大値の属するカテゴリ番号と、前記最小値の属するカテゴリ番号に対し同一の符号語割り当てを行ない、前記予測誤差がその最大値またはその最小値の属するカテゴリに分類される場合、前記第4のステップは、剰余データに代えて前記入力データを直接符号化し、出力することとを特徴とする高能率符号化方法。

【請求項2】 第3のステップが、除数を上限値と下限値の差に1を加えた値とし、かつ前記除数が2のべき乗となるように各カテゴリの上限値と下限値とを設定することを特徴とする請求項1記載の高能率符号化方法。

【請求項3】 第4のステップが、カテゴリ番号をエントロピー符号化するステップと、剰余を除数の大きさに応じて可変長な符号に変換するステップとを有することを特徴とする請求項1記載の高能率符号化方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、映像、音声等のアナログ信号を標本化量子化して得られるデータなどの情報量を低減する高能率符号化方法に関するものである。

## 【0002】

【従来の技術】 高能率符号化には各種方式があり、またこれらを組合せた方式もある。現在、画像、音声の高能率符号化方式の規格化が行なわれつつあり、静止画像の符号化方式の規格化は国際標準化機構（ISO）の下部組織JPEGにおいて進められている。

【0003】 従来の高能率符号化方法としてJPEGの高能率符号化方式であるDCT方式を例にあげて説明する（文献：テレビジョン学会誌Vol.44, No.2(1990) pp158~159）。

【0004】 入力信号は標本化量子化された画像信号、すなわちデジタル画像データである。ラスタースキャンの画素並びである画像データを画面の水平、垂直方向にそれぞれ8画素の矩形領域（これをブロックと称する）に分割してブロック単位の前記データ並びに変換する。これをブロック化と称する。ブロック毎に8次の2次元離散コサイン変換（以下DCTと称する）を行ない、得られたDCT係数を各係数毎に定められた所定の量子化ステップQで量子化する（すなわちQで除算し丸める）。量子化されたDCT係数のAC係数は2次元ハフ

マン符号化し、量子化されたDCT係数のDC係数は予測符号化する。

【0005】 前記DC係数の前記予測符号化方法について説明する。入力データは前記量子化されたDCT係数のDC係数であり、これをデータ $D_i$ （ $i=0,1,2,3,\dots,i$ はデータの番号であり、ブロックの番号に等しい）で表すものとする。予測符号化は符号化済みの入力データを用いて予測値 $P_i$ を求め、入力データ $D_i$ と前記予測値 $P_i$ との差である予測誤差 $S_i$ を求め、前記予測誤差 $S_i$ を符号化するものである。予測方法は前値予測で1つ前の入力データを予測値としている。

【0006】 前記予測誤差 $S_i$ の符号化方法について説明する。前記予測誤差 $S_i$ をその大きさにより所定のカテゴリに分類して該当するカテゴリの番号を得、これをハフマン符号化する。前記カテゴリ番号は前記予測誤差の上位ビット情報に相当するものである。前記予測誤差は前記カテゴリ番号によって定まるビット数だけその下位ビットを切り出し、前記ハフマン符号化されたカテゴリ番号に続けて出力する。すなわち、予測誤差をその上位ビット情報と下位ビット情報とに分けてそれぞれ符号化している。なお、予測誤差の下位Lビットをそのまま切り出すと正の値と負の値とで重複する符号が生じるので、前記予測誤差が負の場合予め1を減じた後、下位Lビットを切り出している。

【0007】 ハフマン符号化は生起確率の高いデータに語長の短い符号を割当て、生起確率の低いデータには語長の長い符号を割当てることにより符号量を平均的に少なくする可逆な符号化方法である。隣合った入力データの相関は高く、予測誤差は0付近の値になる確率が高いので、予測誤差の絶対値の小さい範囲を表わすカテゴリ番号に短い符号を割り当てることにより、高能率な符号化が実現できる。

## 【0008】

【発明が解決しようとする課題】 しかしながら予測符号化は前記予測誤差を積算することにより復号値を得るため、一度伝送誤りを生じると誤りの影響が蓄積され、以後は誤った復号出力しか得られない（誤り伝搬）という課題を有するものであった。

## 【0009】

【課題を解決するための手段】 本発明の高能率符号化方法は、標本化量子化された信号を入力データとし、前記入力データの予測値を得、前記入力データと前記予測値との差である予測誤差を求める第1のステップと、前記予測誤差をその大きさに応じて分類し該当するカテゴリを表わすカテゴリ番号を出力する第2のステップと、前記該当するカテゴリの範囲を規定する所定の上限値と所定の下限値との差より大なる所定値を除数として前記入力データを除算して剰余を得る第3のステップと、前記カテゴリ番号と前記剰余とを符号化して出力する第4のステップとを備え、前記第4のステップが、前記予測誤

差の最大値の属するカテゴリ番号と、前記最小値の属するカテゴリ番号に対し同一の符号語割り当てを行ない、前記予測誤差がその最大値またはその最小値の属するカテゴリに分類される場合、前記第4のステップは、剰余データに代えて前記入力データを直接符号化し、出力することを特徴とするものである。

【0010】

【作用】本発明の高能率符号化方法は前記した構成により、入力データの低位ビット情報を伝送しているため、必ずしも誤り伝搬が生じなく、伝送誤り耐性を従来の予測符号化方法より向上できるものである。さらに予測誤差の絶対値の大きい場合は、入力データを直接伝送するので、誤り伝搬を生じていても入力データの直接伝送された以後のデータは正しい復号値が得られる。

【0011】

【実施例】まず本発明の符号化方法について各処理ステップ毎に番号を付して以下に説明する。

【0012】1. 入力データ $D_i$ （符号無し整数）の予測値 $P_i$ を得、これを入力データ $D_i$ より引いて予測誤差 $S_i$ を求める。なお $D_i$ は $i$ 番目の入力データを表わし、以下において添え字の $i$ が添付された記号が $D_i$ に対応したデータであることを表している。

【0013】2. 所定の分類表を用いて前記予測誤差 $S_i$ をその大きさにより分類する。前記予測誤差 $S_i$ が属する範囲を表わすカテゴリ番号 $J_i$ を求める。従ってカ

テゴリ番号 $J_i$ で示される予測誤差範囲の上限値、下限値をそれぞれ $S_{Xi}$ 、 $S_{Ni}$ とすれば次式

【0014】

【数1】

$$S_{Ni} \leq S_i \leq S_{Xi}$$

【0015】が成立している。さらに前記カテゴリ番号 $J_i$ と一対一に対応し、次式

【0016】

【数2】

$$O_{Ui} > S_{Xi} - S_{Ni}$$

【0017】を満足する所定の除数データ $O_{Ui}$ を求める。

3. 入力データ $D_i$ を前記除数データ $O_{Ui}$ で除算して剰余 $E_i$ を求める。すなわち次式

【0018】

【数3】

$$D_i = N_i \cdot O_{Ui} + E_i$$

【0019】が成立する。但し $N_i$ は商である。

4. 前記カテゴリ番号 $J_i$ と前記剰余データ $E_i$ とを符号化する。

【0020】ここで前記予測誤差の分類表の一具体例を（表1）に示す。

【0021】

【表1】

予測誤差の分類表

カテゴリ番号	予測誤差の範囲 (SN~SX)		除数データ	剰余データ語長
J i	SN i	SX i	OU i	M i
-8	-255	-128	128	7
-7	-127	-64	64	6
-6	-63	-32	32	5
-5	-31	-16	16	4
-4	-15	-8	8	3
-3	-7	-4	4	2
-2	-3	-2	2	1
-1	-1	-1	1	0
0	0	0	1	0
1	1	1	1	0
2	2	3	2	1
3	4	7	4	2
4	8	15	8	3
5	16	31	16	4
6	32	63	32	5
7	64	127	64	6
8	128	255	128	7

【0022】(表1)にはカテゴリ番号J iとこれに対応した予測誤差の範囲(SN i~SX i)だけでなく、除数データOU iおよび剰余データE iの語長M iを対応させて示している。

【0023】以上の説明により明らかにしたように本発明の符号化方法は、予測誤差の上位ビット情報である前記カテゴリ番号と、入力データの低位ビット情報である剰余データとを符号化し伝送するものである。なお入力データD iが、符号付きの整数である場合は、符号無し整数にコード変換すれば容易に本符号化を実施できる。

【0024】次にこの復号方法について説明する。本発明の符号化方法ではカテゴリ番号J iと剰余データE iを符号化して伝送している。データD iを得るためには(数3)で示されるように除数データOU i、剰余データE i、商データN iが必要である。カテゴリ番号J iと除数データOU iとは一対一に対応しているので、カテゴリ番号-除数データ変換表を用意しておき、これを用いることにより伝送されたカテゴリ番号J iより除数データOU iが得られる。剰余データE iは伝送されているので、商データN iが求まればデータD iが得られる。

【0025】そこで必要となる商データN iを求める方法について説明する。(数1)に(数3)を代入して予測誤差S iを消去すれば次式

【0026】

【数4】

$$P_i + S_{N_i} \leq D_i \leq P_i + S_{X_i}$$

【0027】が得られる。さらに(数4)に(数3)を代入してD<sub>i</sub>を消去すれば、次式

$$(P_i + S N_i - E_i) / O U_i \leq N_i \leq (P_i + S X_i - E_i) / O U_i$$

【0029】が得られる。予測値P<sub>i</sub>は復号済みのデータD<sub>i</sub>より求め、S X<sub>i</sub>、S N<sub>i</sub>はカテゴリ番号J<sub>i</sub>と一対一に対応しているので変換表を予め作成しておき、これを用いることによりカテゴリ番号J<sub>i</sub>より求める。さらに商データN<sub>i</sub>は整数であり、(数5)の左端の項と右端の項との差(S X<sub>i</sub> - S N<sub>i</sub>) / O U<sub>i</sub>は(数2)より1未満となるから、(数5)を満足する商データN<sub>i</sub>は一意に決定できる。従って(数5)の左側の式を取り出した次式

【0030】

【数6】

$$(P_i + S N_i - E_i) / O U_i \leq N_i$$

【0031】を満足する最小の整数N<sub>i</sub>を求めるか、(数5)の右側の式を取り出した次式

【0032】

【数7】

$$N_i \leq (P_i + S X_i - E_i) / O U_i$$

【0033】を満足する最大の整数N<sub>i</sub>を求めればよい。すなわち(数5)、(数6)、(数7)のどの式を用いても商データN<sub>i</sub>を求めることができる。(数7)を用いる方法は、右辺の除算結果の小数部を切り捨てるだけでよいので処理が最も簡単となる。

【0034】以上より得られた商データN<sub>i</sub>を(数3)に代入してデータD<sub>i</sub>が求まる、すなわち復号できる。復号方法をまとめて、処理単位毎に番号を付して以下に示す。

【0035】1. 前記符号化データを復号して前記カテゴリ番号J<sub>i</sub>と前記剰余データE<sub>i</sub>を求める。

【0036】2. 既に復号して得たデータD<sub>k</sub>(但しkはiより小なる整数)より予測値P<sub>i</sub>を得る。

【0037】3. 前記カテゴリ番号J<sub>i</sub>より除数データO U<sub>i</sub>、予測誤差範囲の上限値S X<sub>i</sub>または予測誤差範囲の下限値S N<sub>i</sub>を求める。

【0038】4. (数7)または(数6)または(数5)を用いて商データN<sub>i</sub>を求める。

5. (数3)を用いてデータD<sub>i</sub>を求める。

【0039】剰余データE<sub>i</sub>は除数データO U<sub>i</sub>未満であるので、その符号長M<sub>i</sub>は(log<sub>2</sub> O U<sub>i</sub>)ビットとなる。これを最小とするには、すなわち符号化効率を良くするには、(数2)を満足する最小の値を除数データO U<sub>i</sub>とすればよい。また除数データO U<sub>i</sub>を2のべき乗とすることにより剰余演算、除算が極めて簡単な回路で実現でき、また前記符号長M<sub>i</sub>が整数値となるので剰余データE<sub>i</sub>を効率よく2進で符号化できる。すなわち次式

【0040】

\* 【0028】

\* 【数5】

【数8】

$$O U_i = 2^{n_i} = S X_i - S N_i + 1$$

【0041】を満たすように除数データ、予測誤差の上限値、下限値を設定すればよい。予測誤差の分類表(表1)は、入力データD<sub>i</sub>の語長が8ビットである場合において、(数8)を満たすように作成している。

【0042】(図1(a)(b))は本発明の高能率符号化方法およびその復号方法を適用し得る一実施例における符号化装置と復号装置のブロック構成図である。入力データは画像をラスタースキャンして得られるアナログの映像信号を標本化量子化したものである。入力データは、8ビットの符号無しの整数(0~255)である。

【0043】(図1(a))において、101は符号化するデータD<sub>i</sub>の入力端子、102は予測値P<sub>i</sub>を得る予測回路、103は前記入力データD<sub>i</sub>より前記予測値P<sub>i</sub>を減じて予測誤差S<sub>i</sub>を得る減算回路、104は前記予測誤差S<sub>i</sub>を入力としカテゴリ番号J<sub>i</sub>を出力する分類回路、105は前記カテゴリ番号J<sub>i</sub>より除数データO U<sub>i</sub>を得る変換回路、106は前記データD<sub>i</sub>を前記除数データO U<sub>i</sub>で除算して剰余データE<sub>i</sub>を得る剰余演算回路、107は前記カテゴリ番号J<sub>i</sub>、剰余データE<sub>i</sub>を符号化して符号化データC<sub>i</sub>を得る第1の符号化回路、108は前記符号化データC<sub>i</sub>の出力端子、109は前記カテゴリ番号J<sub>i</sub>を符号化して符号化データC J<sub>i</sub>を得る第2の符号化回路、110は前記剰余データE<sub>i</sub>を符号化して符号化データC E<sub>i</sub>を得る第3の符号化回路、111は前記符号化データC J<sub>i</sub>と前記符号化データC E<sub>i</sub>とを連結して符号化データC<sub>i</sub>を得る多重化回路である。

【0044】(図1(b))において、112は符号化データC<sub>i</sub>の入力端子、113は前記符号化データC<sub>i</sub>を復号化してカテゴリ番号J<sub>i</sub>、剰余データE<sub>i</sub>を得る第1の復号回路、114は番号J<sub>i</sub>のカテゴリの予測誤差範囲の上限値S X<sub>i</sub>、除数データO U<sub>i</sub>を得る変換回路、115は商データN<sub>i</sub>を出力する商データ計算回路、116は前記除数データO U<sub>i</sub>、前記商データN<sub>i</sub>と前記剰余データE<sub>i</sub>よりデータD<sub>i</sub>を再生する合成回路、117は前記データD<sub>i</sub>の出力端子、118はすでに復号済みの前記データD<sub>k</sub>(kはiより小なる整数)を用いてデータD<sub>i</sub>の予測値P<sub>i</sub>を出力する予測回路、119は端子112からの符号化データC<sub>i</sub>を一時的に蓄えるバッファメモリ、120は符号化データC<sub>i</sub>の先頭部分に多重化されている符号化データC J<sub>i</sub>をバッファメモリ119より得て復号しカテゴリ番号J<sub>i</sub>を得る第2の復号回路、121は符号化データC<sub>i</sub>の残り部分に多重化されている符号化データC E<sub>i</sub>をバッファメモ

り 119 より得て復号し剰余データ  $E_i$  を得る第3の復号回路、122 は加算回路、123 は加算回路 122 からの出力より前記剰余データ  $E_i$  を減算する減算回路、124 は減算回路 123 からの出力を前記除数データ  $O_i$  で除算し、得られた結果の整数部のみを商データ  $N_i$  として出力する除算回路、125 は前記除数データ  $O_i$  と前記商データ  $N_i$  とを乗算してオフセット  $F_i$  を得る乗算回路、126 は前記剰余データ  $E_i$  と前記オフセット  $F_i$  を加算して新たな復号済みのデータ  $D_i$  を得る加算回路である。

【0045】以上のように構成された本実施例の符号化装置、復号装置について、以下その動作について説明する。

【0046】符号化装置において、端子 101 からの入力データ  $D_i$  は予測回路 102、減算回路 103、剰余演算回路 106 に入力される。予測回路 102 は前値予測を行っており、1つ前のデータ  $D_{i-1}$  を保持する 1つのレジスタのみで構成され、予測値  $P_i = D_{i-1}$  を出力する。

【0047】減算回路 103 は前記データ  $D_i$  より前記予測値  $P_i$  を減算して予測誤差  $S_i$  を出力する。分類回路 104 は前記予測誤差  $S_i$  を入力とし(表1)に従ってその大きさにより分類し、該当する分類項を示すカテゴリ番号  $J_i$  を出力する。変換回路 105 は ROM (リードオンリメモリ) で構成でき、(表1)に従って前記カテゴリ番号  $J_i$  より除数データ  $O_i$  またはデータ  $M_i$  を出力する。剰余演算回路 106 は前記データ  $D_i$  を前記除数データ  $O_i$  で除算しその剰余  $E_i$  を出力する。(表1)では除数データ  $O_i$  を 2 の  $M_i$  乗としてるので、剰余演算回路 106 は前記データ  $D_i$  の下位  $M_i$  ビットのみを取り出す簡単なゲート回路で実現できる。この場合変換回路 105 は除数データ  $O_i$  の代わりに前記データ  $M_i$  を出力すればよい。

【0048】符号化回路 109 は前記カテゴリ番号  $J_i$  をハフマン符号化(エントロピー符号化の一種)してビットシリアル形式で出力する。この出力が符号化データ  $C_j$  である。カテゴリ番号が  $J_i$  となる予測誤差の生起確率とカテゴリ番号が  $J_i$  となる予測誤差の生起確率はほぼ同じとなるので、この実施例においてはこの二つのカテゴリに同じハフマンコードを割当て、どちらの 40 カテゴリかを示す 1 ビットのフラグ  $G$  をハフマンコードに付加したものを前記符号化データ  $C_j$  としている。カテゴリ番号が 0 のとき前記フラグ  $G$  は不用である。前記フラグ  $G = 0$  のときカテゴリ番号は正であり、 $G = 1$  のときカテゴリ番号は負であるものとする。

【0049】符号化回路 110 は前記カテゴリ番号  $J_i$  により(表1)に示す剰余データ  $E_i$  のビット数  $M_i$  を求め、前記剰余データ  $E_i$  の下位  $M_i$  ビットをビットシリアル形式で出力する。この出力が符号化データ  $C_i$  である。剰余データ  $E_i$  の下位  $M_i$  ビットのみを出力す 50

るのは、剰余データ  $E_i$  が  $M_i$  ビットで表現できるからである。多重化回路 111 は前記符号化データ  $C_j$  の後ろに前記符号化データ  $C_i$  を接続して得られる符号化データ  $C_i$  をビットシリアル形式で端子 118 より出力する。以上の動作によりデータ  $D_i$  の符号化が実現される。

【0050】予測誤差  $S_i$  の最大値 255、最小値 -255 の属するカテゴリ番号  $J_i$  は、それぞれ 8、-8 である。この場合(表1)より剰余データの語長  $M_i$  は 7 となり、これに前記フラグ  $G$  の 1 ビットを併せれば、入力データ  $D_i$  の語長と同じ 8 ビットとなる。従ってフラグ  $G$  と剰余データとを送る代わりに入力データを伝送しても伝送効率は変わらない。しかし、入力データ  $D_i$  をそのまま伝送の方が伝送誤りに強くできるので本実施例においては、カテゴリ番号の絶対値が 8 の場合、例外処理として剰余データ、フラグ  $G$  の代わりに入力データ  $D_i$  を必要最小限の語長(入力データのダイナミックレンジを表わすことのできる必要語長で、本実施例では 8 ビット)でそのまま(またはコード変換等の符号化を行なってもよい)伝送している。

【0051】復号装置において、端子 112 からの符号化データ  $C_i$  は一時的にバッファメモリ 119 に蓄えられる。

【0052】まず復号回路 120 は、バッファメモリ 119 より符号長を判定しながら前記符号化データ  $C_j$  を読み込んで復号し、読み込んだ符号の符号語長  $L_i$  とカテゴリ番号  $J_i$  とを出力する。バッファメモリ 119 は前記符号語長  $L_i$  を受け取って前記符号化データ  $C_j$  に続く前記符号化データ  $C_i$  の先頭位置を求め、その内部に有する読み出しポイントにセットする。

【0053】続いて復号回路 121 は、復号回路 120 からの前記カテゴリ番号  $J_i$  より(表1)に示す剰余データ  $E_i$  の語長  $M_i$  を求め、バッファメモリ 119 より  $M_i$  ビットの前記符号化データ  $C_i$  を読み込み、上位にデータ 0 を付加してビットパラレル形式のデータである剰余データ  $E_i$  を再生する。

【0054】バッファメモリ 119 は復号回路 121 からの前記語長  $M_i$  を受け取って前記符号化データ  $C_i$  に続く次の符号化データ  $C_j$  の先頭位置を求め、前記読み出しポイントを更新して次のデータ復号に備える。

【0055】変換回路 114 は例えば ROM で構成でき、前記カテゴリ番号  $J_i$  より(表1)に示す予測誤差範囲の上限値  $S_{Xi}$  と除数データ  $O_i$  を出力する。

【0056】商データ計算回路 115 は前記剰余データ  $E_i$ 、前記  $S_{Xi}$  および予測回路 118 からの予測値  $P_i$  とを用いて式(数7)の右辺に示す計算を行ない、その整数部である商データ  $N_i$  を出力する。

【0057】合成回路 116 は前記商データ  $N_i$ 、前記除数データ  $O_i$  および前記剰余データ  $E_i$  を入力とし、式(数3)に示す計算を行なってデータ  $D_i$  を再生

し、端子117より出力する。

【0058】予測回路118は、符号化装置内の予測回路102と同じ構成であり、前記データD<sub>i</sub>を入力として前記予測値P<sub>i</sub>を出力する。

【0059】以上の動作によりデータD<sub>i</sub>の復号が実現される。なお、カテゴリ番号の絶対値が8の場合、例外処理としてフラグG、剰余データE<sub>i</sub>の代わりに入力データD<sub>i</sub>が直接伝送されているので、これをそのまま出力する。この場合、復号に予測値P<sub>i</sub>を必要としないので、誤り伝搬を生じていてもこれ以後の復号出力には誤り伝搬を生じない。

【0060】次に具体的にデータ例をあげて本発明の動作、効果を説明する。符号化装置においてこれより符号化する入力データD<sub>i</sub>が46、すでに符号化の完了した1つ前の入力データD<sub>i-1</sub>が35であるとする。前記予測回路102は予測値P<sub>i</sub>=D<sub>i-1</sub>=35を出力する。前記減算回路103において予測誤差S<sub>i</sub>=46-35=11が得られる。前記分類回路104において前記予測誤差S<sub>i</sub>=11より(表1)に従ったカテゴリ番号J<sub>i</sub>=4が得られる。

【0061】変換回路105において前記カテゴリ番号J<sub>i</sub>を(表1)に従って2のべき乗である除数データO<sub>U<sub>i</sub></sub>またはその指数部データM<sub>i</sub>=3を出力する。剰余演算回路106はデータD<sub>i</sub>を除数データO<sub>U<sub>i</sub></sub>=2<sup>M<sub>i</sub></sup>=8で割った剰余データE<sub>i</sub>=6を出力する。除数データO<sub>U<sub>i</sub></sub>は2のべき乗であるので通常の除算を行なう必要はなく、データD<sub>i</sub>の下位M<sub>i</sub>=3ビットのみを取り出すのみで剰余データE<sub>i</sub>が得られる。

【0062】符号化回路109において前記カテゴリ番号J<sub>i</sub>はハフマン符号化される。J<sub>i</sub>=4またはJ<sub>i</sub>=-4を表すハフマンコードが2進数3ビット長の"101"(以下において2進符号は" "で囲んで示す。)とすれば、カテゴリ番号J<sub>i</sub>=4の符号化コードC<sub>J<sub>i</sub></sub>は"1010"となり、ビットシリアル形式で出力される。最後に付加された1ビットのデータ"0"はカテゴリ番号の正負を表すフラグGで、カテゴリ番号が正であることを示している。

【0063】符号化回路110において前記剰余データE<sub>i</sub>=6はその下位M<sub>i</sub>=3ビットがビットシリアル形式で出力されて符号化データC<sub>E<sub>i</sub></sub>"110"となる。多重化回路111において前記符号化データC<sub>J<sub>i</sub></sub>"1010"の後に前記符号化データC<sub>E<sub>i</sub></sub>"110"が付加されて符号化データC<sub>i</sub>"1010110"となり、その左端(最上位ビット)からビットシリアル形式で端子118より出力される。

【0064】復号装置において端子112からの符号化データは一旦バッファメモリ119にビットシリアル形式で蓄えられる。現在データD<sub>i-1</sub>=35まで復号が完了しており、これより符号化データC<sub>i</sub>よりデータD<sub>i</sub>を復号するものとする。

【0065】復号回路120はバッファメモリ119内のポインタが示すメモリアドレスよりビットシリアル形式で符号化データC<sub>i</sub>を読み込む。復号回路120は符号化データC<sub>i</sub>の先頭ビットより"101"まで読み込んだ時点で符号化データC<sub>J<sub>i</sub></sub>の符号長L<sub>J</sub>が4ビットであることが検知でき、さらにJ<sub>i</sub>が0でない場合付加されている1ビットのフラグGを読み込む。すなわち、4ビットの符号化データC<sub>J<sub>i</sub></sub>"1010"すべてが読み込まれる。フラグG=0はカテゴリ番号J<sub>i</sub>が正であることを示すので、復号回路120はカテゴリ番号J<sub>i</sub>=4を出力する。

【0066】続いて復号回路121は、前記復号されたカテゴリ番号J<sub>i</sub>=4を受けて(表1)にしたがってM<sub>i</sub>=3ビット分前記バッファメモリ119からデータを読み込むことにより符号化データC<sub>E<sub>i</sub></sub>"110"を得、これをパラレル形式に変換し、上位ビットに0を付加することにより剰余データE<sub>i</sub>=6を得、出力する。なおバッファメモリ119のポインタは更新されて次の符号化データC<sub>i+1</sub>の先頭メモリ番地を示している。

【0067】変換回路114は(表1)に従ってカテゴリ番号J<sub>i</sub>=4のカテゴリにおける予測誤差範囲の上限値S<sub>X<sub>i</sub></sub>=15および2のべき乗である除数データO<sub>U<sub>i</sub></sub>の指数部M<sub>i</sub>を出力する。

【0068】商データ計算回路115は、予測回路118からの予測値P<sub>i</sub>=D<sub>i-1</sub>=35と前記上限値S<sub>X<sub>i</sub></sub>=15とを加算した後、前記剰余データE<sub>i</sub>=6を減算し、さらに除数データO<sub>U<sub>i</sub></sub>=2<sup>M<sub>i</sub></sup>=8で除算して商データN<sub>i</sub>=5を得、出力する。

【0069】合成回路116は前記商データN<sub>i</sub>=5に除数データO<sub>U<sub>i</sub></sub>=2<sup>M<sub>i</sub></sup>=8を掛けてオフセットF<sub>i</sub>を得、これに剰余データE<sub>i</sub>=6を加算することにより復号の完了したデータD<sub>i</sub>=46を得、端子117より出力する。以上でデータD<sub>i</sub>の復号が完了する。

【0070】ところで除数データO<sub>U<sub>i</sub></sub>は2のべき乗であるので、除算回路124は通常の除算を行なう必要はなく、データD<sub>i</sub>の下位M<sub>i</sub>=3ビットを除去することにより商データN<sub>i</sub>が得られ、乗算回路125は通常の乗算を行なう必要はなく、商データN<sub>i</sub>の下位にM<sub>i</sub>ビットの0を付加するだけで乗算結果であるオフセットF<sub>i</sub>が得られる。さらに加算器126において一方の入力である剰余データE<sub>i</sub>は下位M<sub>i</sub>ビット以外は0であり、他方の入力であるオフセットF<sub>i</sub>はその下位M<sub>i</sub>ビットが0であるので、通常の加算を行なう必要はなく、オフセットF<sub>i</sub>の下位M<sub>i</sub>ビットを剰余データE<sub>i</sub>の下位M<sub>i</sub>ビットで置き換えるだけでよい。従って除算器124、乗算器125、加算器126はまとめて極めて簡単な回路すなわち加算器123の出力の下位M<sub>i</sub>ビットを剰余データE<sub>i</sub>の下位M<sub>i</sub>ビットで置き換え、これを復号済みのデータD<sub>i</sub>として出力する回路で実現できる。



【0071】つぎに1つ前のデータ $D_{i-1}$  = 36が伝送誤りによって比較的誤差の小さい値の31と復号されていた場合の復号を考える。予測値 $P_i = D_{i-1}$ であるので、従来の予測符号化であれば必ず誤り伝搬を生じる。しかしながら実際に本発明の高能率符号化方法の復号を行なってみると $D_i = 46$ と正しい結果が得られる。すなわち誤り伝搬を生じていない。これは復号のため(数7)または(数5)または(数6)を用いて商データ $N_i$ を求めるが、これらの式で使用する予測値 $P_i$ が符号化時の予測値とある範囲の誤差を有していても正しい商データ $N_i$ が得られるからである。(数7)によれば $D_i = 46$ の場合予測値 $P_i$ が31以上38以下であれば正しい商データ $N_i = 5$ が得られることがわかる。

【0072】以上のように、本実施例によれば必ずしも誤り伝搬を生じないので伝送誤り耐性を大幅に改善できる。さらに予測誤差の最大値、最小値の属するカテゴリにおいては剰余データ $E_i$ 、フラグ $G$ の代わりに入力データ $D_i$ を送るので、より伝送誤り耐性を強化できる。また除数データを2のべき乗とすることにより、本発明の符号化装置は従来の予測符号化装置と同程度の小さな回路規模で実現できる。

【0073】上記の実施例においては剰余データを単純な2進符号のままその下位 $M_i$ ビットを切り出して符号化していたが、別のコードに変換して出力してもよい。

【0074】予測に用いる復号値が伝送誤りによってかなり大きな誤差を有する場合、符号化時と同じ予測方法では誤差の大きい予測値 $P_i$ しか得られず、もはや正しい復号値は得られない。

【0075】しかし、伝送誤りの影響を受けていない別の復号値を用いる予測方法、すなわち符号化時とは異なった予測方法により誤差の小さい予測値 $P_i'$ が得られれば、正しい復号が可能である。なぜなら本発明の符号化方法は予測誤差の上位ビット情報(カテゴリ番号 $J_i$ )と符号化するデータの低位ビット情報(剰余データ $E_i$ )とを符号化して伝送しており、(数3)においてただ1つの未知数である商データ $N_i$ を求めれば、正しい復号データ $D_i$ が得られるからである。特に除数データ $O_i$ 大きい場合、商データ $N_i$ の存在範囲が狭くなるのでその決定が容易となる。

【0076】以上の実施例においては可逆な符号化を行なったが、例えば予測誤差が大きいところでは、剰余データ $E_i$ の下位ビットを丸めて伝送することにより、非可逆な符号化方法も可能である。この場合、符号化装置と復号装置における予測値を一致させるため、符号化装置内にローカルの復号装置を設けその復号データより予測値を作成する必要がある。本実施例のような可逆な符号化においても前記ローカルの復号装置を設ける構成が可能であることはもちろんである。

【0077】また本発明はこれら実施例に限定されるものではなく、予測方法は各種方法が適用でき、エントロピー符号化方法として算術符号化等も適用できる。

【0078】

【発明の効果】以上のように、本発明は予測誤差の上位ビット情報と入力データの低位ビット情報とを伝送することとを特徴とする高能率符号化方法で、符号化効率を低下させることなく、伝送誤り耐性を大幅に向上できるものであり、その実用的効果は大きい。

【図面の簡単な説明】

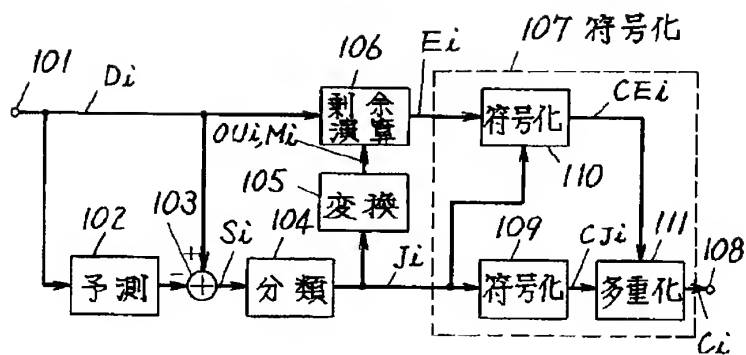
【図1】本発明の高能率符号化方法およびその復号方法を用いた一実施例における符号化装置および復号装置のブロック構成図である。

【符号の説明】

- 101 符号化するデータ $D_i$ の入力端子
- 102 予測回路
- 103 減算回路
- 104 分類回路
- 105 変換回路
- 106 剰余演算回路
- 107 符号化回路
- 108 符号化データ $C_i$ の出力端子
- 112 符号化データ $C_i$ の入力端子
- 113 復号回路
- 114 変換回路
- 115 商データ計算回路
- 116 合成回路
- 117 復号済みのデータ $D_i$ の出力端子
- 118 予測回路

【図1】

(a)



(b)

